

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

【請求項9】 入力されるI/Q信号からナイキスト周波数以下の信号を透過するプレフィルタと、このプレフィルタから出力されるI/Q信号をディジタル変換するA/D変換器と、このA/D変換器から出力されるディジタル信号からベースバンド変調信号のみを透過するディジタルフィルタとを有し、前記ディジタルフィルタは、入力されるディジタル信号レートから所定の信号レートへ変換するマルチレートフィルタからなることを特徴とする復調回路。

【請求項10】 請求項1、2、3、4、5、6、7または8記載のディジタルフィルタ、あるいは請求項9記載の復調回路を用いたことを特徴とする無線端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ディジタルフィルタ技術に関し、特にGSM (Global System for Mobile communication) システム用復調用ディジタルフィルタの設計において、A/D変換器 (ADC: Analog-to-Digital Converter) から出力までのハードウェアが最小となるハードウェアに好適なディジタルフィルタ、復調回路、およびそれをを用いた無線端末装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、本発明者が検討した技術として、GSMシステムは、世界に実装されて欧州のディジタル移動体通信用として800MHz帯で標準化され、後に英国の新規オペレータが中心になって1.9GHz帯のシステムとして開発が進み、近年では全世界のディジタル移動体通信システムの35%強のシェアを有するデファクトスタンダードであると考えられる。

【0003】 このGSMシステム用の復調用FIR (Finite Impulse Response) フィルタは28-tapで構成し、デシメータの後に接続される技術などが考えられる。このような復調用FIRフィルタは、隣接チャネル信号を抑圧し、かつ位相特性は直線位相特性であることが要求される。

【0004】 なお、このようなGSMシステム用の復調用FIRフィルタに関する技術としては、たとえば平成7年3月30日、丸善株式会社発行の「ディジタル信号処理の基礎」に記載される技術などが挙げられる。

【0005】

【発明が解決しようとする課題】 ところで、前記のようなGSMシステム用の復調用FIRフィルタにおいては、28-tapで構成され、デシメータの後に接続されるために、最低、28個のレジスタと加算器が必要となり、ハードウェアに大きくなることが考えられる。【0006】 そこで、本発明の目的は、FIRフィルタとデシメータとの接続関係に着目し、FIRフィルタをデシメータの前に設けることで、ADCから出力までのハードウェアにおけるハードウェアを最小とすることができ

【特許請求の範囲】

【請求項1】 入力されるディジタル信号レートから所定の信号レートへ変換するマルチレートフィルタからなることを特徴とするディジタルフィルタ。

【請求項2】 請求項1記載のディジタルフィルタであって、前記マルチレートフィルタは、入力されるディジタル信号から所定の信号のみを透過するFIRフィルタと、このFIRフィルタに接続され、透過された信号を所定の信号に変換するデシメータとを含むことを特徴とするディジタルフィルタ。

【請求項3】 請求項2記載のディジタルフィルタであって、前記FIRフィルタおよび前記デシメータは複数段に縦続接続され、所定の信号のみの透過および所定の信号への変換を繰り返すことを特徴とするディジタルフィルタ。

【請求項4】 請求項2または3記載のディジタルフィルタであって、前記デシメータによる変換は、レベル調整を別途実施する場合には前記FIRフィルタからの出力の取り出し処理により実現することを特徴とするディジタルフィルタ。

【請求項5】 請求項2、3または4記載のディジタルフィルタであって、前記FIRフィルタは、周波数特性 $f(t) = f(-t) = (\omega c / \pi) \times \sin(\omega c t) / (\omega c t)$ が成り立つように設計されることを特徴とするディジタルフィルタ。

【請求項6】 請求項2、3または4記載のディジタルフィルタであって、前記FIRフィルタは、フーリエ変換係数 $C_0(m)$ で正規化し、 $C_n(m) = \sin(2\pi n / m) / (2\pi n / m)$ 、ただし n : 整数 ≥ 0 、 m : 整数 ≥ 2 、が成り立つように設計されることを特徴とするディジタルフィルタ。

【請求項7】 請求項2、3または4記載のディジタルフィルタであって、前記FIRフィルタは、フィルタ係数 $\text{ind}2[2\omega s / \omega c] + 1$ (符号ビット) が成り立つように設計されることを特徴とするディジタルフィルタ。

【請求項8】 請求項3記載のディジタルフィルタであって、前記FIRフィルタおよび前記デシメータは2段からなり、ディジタル信号から所定の信号のみを透過する第1のFIRフィルタと、この第1のFIRフィルタに接続され、動作周波数に変換する第1のデシメータと、この第1のデシメータに接続され、変換された信号から所定の信号のみを透過する第2のFIRフィルタと、この第2のFIRフィルタに接続され、デシメータの速度に変換する第2のデシメータとを含む、前記第1のFIRフィルタに入力されるディジタル信号を6.5MHz、前記第2のデシメータから出力されるディジタル信号を0.270MHzとし、前記第1のデシメータにより1/12分周した後に前記第2のデシメータにより1/2分周することを特徴とするディジタルフィルタ。

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269785

(P2000-269785A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int. Cl. ⁷	横明記号	F I	テロド (参考)
H 03 H 17/00	6 2 1	H 03 H 17/00	6 2 1 C 5 K 0 0 4
17/06	6 1 5	17/06	6 1 5 K 5 K 0 6 1
	6 3 3		6 3 3 C
H 04 B 1/16		H 04 B 1/16	A
H 04 L 27/14		H 04 L 27/14	B
審査請求 未請求	請求項の数10	OL (全 11 頁)	

(21) 出願番号	特願平11-71267	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成11年3月17日 (1999.3.17)	(71) 出願人	00023527 東京都千代田区神田豊河台西丁目6番地 日立東都セミコンダクタ株式会社 群馬県高崎市西横手町1番地1 古川 且作
		(72) 発明者	東京都青森市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター 100080001 井理士 筒井 大和
		(74) 代理人	

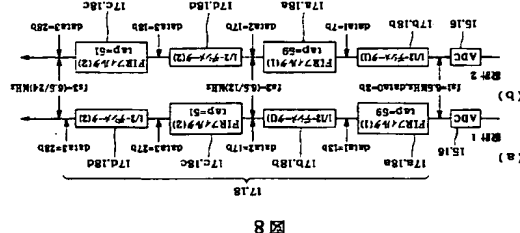
最終頁に続く

(54) 【発明の名称】 ディジタルフィルタ、復調回路、およびそれを用いた無線端末装置

(57) 【要約】

【課題】 ADCから出力までのハードウェアを最小とすることができディジタルフィルタ、復調回路、およびそれを用いた無線端末装置を提供する。

【解決手段】 RF部、ベースバンドアナログ部、ベースバンド処理部、ベースバンドソフトウェア部などから構成されるGSM無線端末装置であって、ベースバンドアナログ部の復調回路にはマルチレートフィルタ17、18が設けられ、プレフィルタの次数とRCの時定数が大きくなること、全体のハードウェアが多くなること、理由から、FIRフィルタ (1) 17a、18a-1/12デシメータ (1) 17b、18b-FIRフィルタ (2) 17c、18c-1/2デシメータ (2) 17d、18dの接続において、フィルタ処理後に速度変換を行う設計1の手法がとられている。



る。

* * [0035]

 $\omega c = \omega s / m, t = nT$ $Cn(m) = 2(f s / m) \times \sin((2\pi f s / m) nT)$ $\div ((2\pi f s / m) nT)$ $C0(m) = 2(f s / m)$ で正規化して $Cn(m) = \sin(2\pi n / m) \div (2\pi n / m)$

式(7)

ただし、 n : 整数 ≥ 0 、 m : 整数 ≥ 2 、 $f s T = 1$ である
 ※ 乗算する複数の乗算器22、乗算器の出力を加算する加算器23からなる機能構成で表すことができる。

【0036】本実施の形態の直線位相FIRフィルタの設計では、係数関数を奇数とするケース1を適用する。出力の出力での情報量を考慮することで、係数の有限語長最適化に関し、簡便な手法を提供可能となる。この手法は、DSPのプログラミング最適化にも適用可能と考える。

【0038】図6の直線位相FIRフィルタの機能図で具体的なハード化には、係数の有限語長化が必要である。図6において、直線位相FIRフィルタは、入力を受信する複数の遅延器21、これらの遅延された信号を*

【0041】

情報量 $(b_{it}) \geq \text{データ}(b_{it}) + \text{ind}2$ (伝送(転送)速度 / 基準速度) 式(8)

*20

なお、 $\text{ind}2$ とは、 $2^{-m} = [a]$ となる m を示す閾値である。[] : ガウス記号である。

 $\text{ind}2(x) = [\log 2(x)]$

式(9)

とも記述できる。
 【0043】式(8)を制御回路6に適用した場合が図7である。マルチレートフィルタ17、18のフィルタ処理(演算)による情報量の増加がないと考えた場合、ADC15、16の出力の情報量は保存され、マルチレートフィルタ17、18のフィルタ出力に発生する。 A^*

ADC情報量 $= 3 + \text{ind}2[6.5 \times 10^{-6} / 0.27 \times 10^{-6}]$

フィルタ出力情報量 $= q + \text{ind}2[0.27 \times 10^{-6} / 0.27 \times 10^{-6}]$

式(10)

式(11)

式(12)

ADC情報量 = フィルタ出力情報量

これより、フィルタ出力 q は、フィルタ処理によるビット増加がなければ、速度変換により有効7ビットとなる。実際のマルチレートフィルタ17、18では、係数とデータの積和演算があり、乗算処理で係数分のデータ語長の増加、加減算処理の処理回数によるデータ語長の増加を考慮する必要がある。

◆

フィルタ係数語長 $\geq \text{ind}2[2\omega s / \omega c] + 1$ (符号ビット)

式(13)

式(14)

式(15)

式(16)

式(17)

式(18)

式(19)

式(20)

式(21)

式(22)

式(23)

式(24)

式(25)

式(26)

式(27)

式(28)

式(29)

式(30)

式(31)

る。
 * m のビット長分であり、式(16)となる。

【0051】

乗算係数*

乗算係数ビット数

式(16)

※【0052】

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(17)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(18)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(19)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(20)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(21)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(22)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(23)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(24)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(25)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(26)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(27)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(28)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(29)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(30)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(31)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(32)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(33)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(34)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(35)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(36)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(37)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(38)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(39)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(40)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(41)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(42)

乗算係数ビット数 + 係数ビット数 + $\text{ind}2[N/2]$

式(43)

従って、その分だけFIRフィルタのデータ保持用レジスタを小さくできる。これは、各レジスタに対する加減算器も小さくなり、結果的にハード量が低減できる。さらに、ハード量を低減する方法として、入出力のクロックは2系統必要となるが、レベル調整を別途実施することは考慮すれば、デシメータによるデシメーションはFIRフィルタからの出力の取り出し処理により実現する方法を含めることができる。

【0063】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0064】たとえば、伝達関数として、周波数特性 $f(t) = f(-t)$ の特徴を持つものであれば、前記式(6)の矩形パルス窓関数の他に、余弦降下波 (cosine rolloff pulse) 窓関数、ガウス波形状窓関数などの例を挙げることができる。

【0065】この余弦降下波窓関数は、

$$f(t) = hT \left[\cos \left(\frac{\pi \alpha f t}{T} \right) / (1 - (2\pi f T)^2) \right] \times \left[\sin \left(\frac{\pi f t}{T} \right) / (\pi f t) \right]$$

$$f = fs/m, t = nT$$

$$C_n(m) = hT \left[\cos \left(\frac{\pi \alpha (fs/m) nT}{T} \right) / (1 - (2\pi (fs/m) nT)^2) \right] \times \left[\sin \left(\frac{\pi (fs/m) nT}{T} \right) / (\pi (fs/m) nT) \right]$$

$$C_0(m) = hT \text{で正規化して、} fsT = 1$$

$$C_n(m) = [\cos(\pi \alpha n/m) / (1 - (2\pi (n/m))^2)] \times [\sin(\pi (n/m)) / (\pi (n/m))]$$

ただし、 n ：整数 ≥ 0 、 m ：整数 ≥ 2 、 $fsT = 1$ である。

【0066】また、ガウス波形状窓関数は、

$$f(t) = \pi^{-1/2} (0.5) h (\eta f c) / (2 \ln(2)) \cdot (0.5) \times \exp[-\{ \pi \eta f t / (2 \ln(2)) \}^2]$$

$$f c = fs/m, t = nT, T f s = 1$$

$$C_0(m) = \pi^{-1/2} (0.5) h (\eta fs/m) / (2 \ln(2)) \cdot (0.5) \text{で正規化して、}$$

$$C_n(m) = \exp[-\{ \pi \eta (n/m) / (2 \ln(2)) \}^2] \cdot (0.5) \cdot (2)$$

ただし、 n ：整数 ≥ 0 、 m ：整数 ≥ 2 、 $fsT = 1$ である。

【0067】また、さらなるハード量削減方法として、FIRフィルタ(1) + (1/n) デシメータ(1)、またはFIRフィルタ(2) + (1/m) デシメータ(2)、 $[n \times m = 24]$ のそれぞれのフィルタの実現において、同時実現する方法も含めることができる。すなわち、FIRフィルタ(1) + (1/n) デシメータ(1)、またはFIRフィルタ(2) + (1/m) デシメータ(2)の有効出力は、入力データに対し1/n

12

(1/n) 回になっており、この間、論理を多重使用することが可能なためである。

【0068】また、本実施の形態のマルチレートフィルタのハード量低減と低消費電力化は、電池動作を必須とするGSMシステム、GSM無線端末装置に有効であるが、さらに電池動作を必須とする他の機器にも適用することができる。

【0069】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0070】本発明によれば、ディジタルフィルタの総ゲート規模の低減、アナログ部の総RC量の低減が可能となる。以上によるチップサイズの低減効果、低消費電力化が期待できる。この結果、低消費電力化によるGSM無線端末装置の通話時間/待機時間の延長が期待できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるGSM無線端末装置を示すブロック図である。

【図2】本発明の一実施の形態のGSM無線端末装置において、復調回路を示すブロック図である。

【図3】本発明の一実施の形態のGSM無線端末装置において、復調回路のレベル配分を示す説明図である。

【図4】(a)、(b)は本発明の一実施の形態のGSM無線端末装置において、復調回路の信号処理を示す説明図である。

【図5】(a)～(d)は本発明の一実施の形態のGSM無線端末装置において、FIRフィルタの基本概念を示す説明図である。

【図6】本発明の一実施の形態のGSM無線端末装置において、FIRフィルタを示す構成図である。

【図7】本発明の一実施の形態のGSM無線端末装置において、データ速度変換過程での情報量を説明図である。

【図8】(a)、(b)は本発明の一実施の形態のGSM無線端末装置において、ハード設計の比較を示すブロック図である。

【図9】(a)、(b)は本発明の一実施の形態のGSM無線端末装置において、ハード量比較を示す説明図である。

【図10】本発明の一実施の形態のGSM無線端末装置において、設計結果としての伝達関数の係数を説明図である。

【図11】本発明の一実施の形態のGSM無線端末装置において、設計結果としての周波数特性を示す説明図である。

【符号の説明】

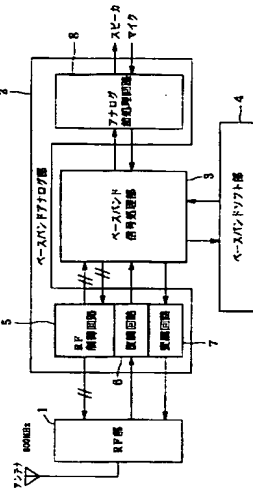
- 1 RFF部
2 ベースバンドアナログ部
3 ベースバンド信号処理部

13

- 4 ベースバンドソフト部
5 RFF制御回路
6 復調回路
7 変調回路
8 アナログ前処理回路
11、12 変動変換回路
13、14 プレフィルタ
15、16 ADC
17、18 マルチレートフィルタ

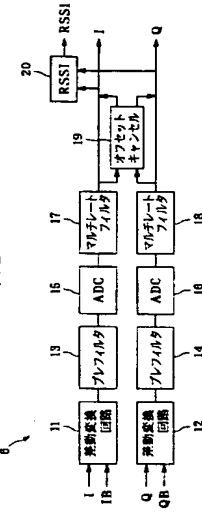
【図1】

図1



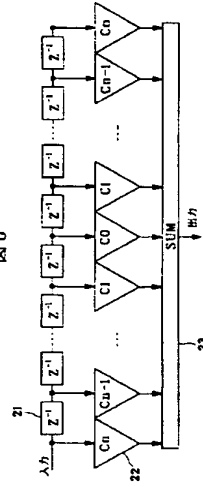
【図2】

図2

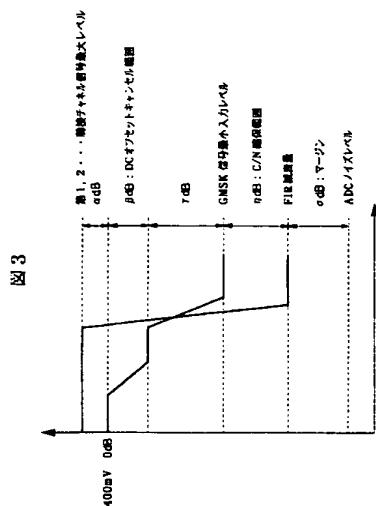


【図6】

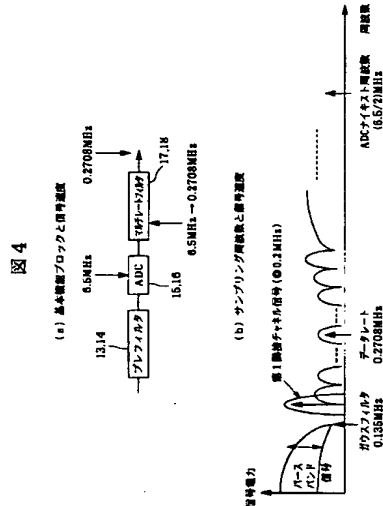
図6



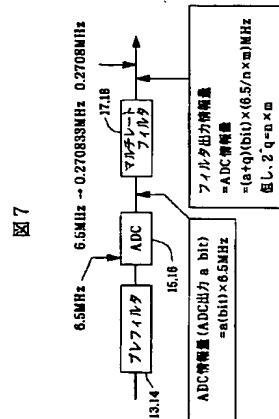
【143】



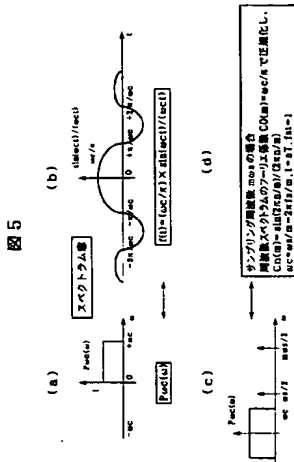
【例4】



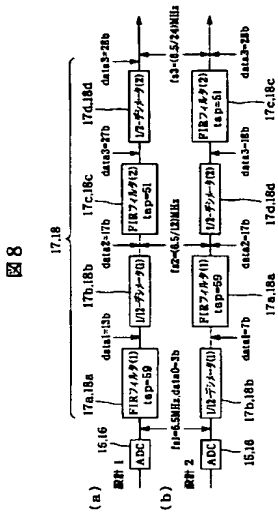
【247】



【E45】



【148】



【649】



(e) 有効ビットの推移比較

	ADCout	FIR1	FIR1lost	1/FIRdel	excess1	FIR2	FIR2lost	1/FIRdel	dec2lost	dec2lost
観測 1	3	+10	13	+4	17	110	27	+	23	13
観測 2	3	+4	7	110	17	+	38	+10	23	13

(b) 必要レジスタ数の比較

設計 1	PIR1	入力bit	tap数	レジスタ数	PIR2	入力bit	tap数	レジスタ数
		8	59	177		17	51	887

設計 2	PIR1	入力bit	tap数	レジスタ数	PIR2	入力bit	tap数	レジスタ数
		7	59	418		18	51	918

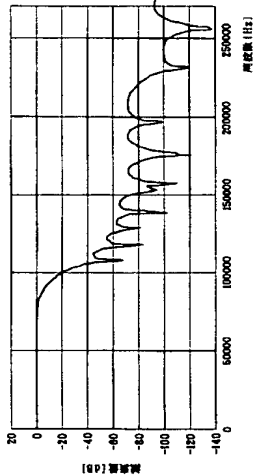
【図10】

図10

No	PIH10数	PIH2数	No	PIH10数	PIH2数	No	PIH10数	PIH2数	No	PIH10数	PIH2数
C0	32	4	C0	12	1	C20	-7	-1			
C1	32	4	C1	9	1	C21	-7	-1			
C2	31	4	C2	6	0	C22	-7	0			
C3	30	4	C3	4	0	C23	-6	0			
C4	28	3	C4	1	0	C24	-6	0			
C5	25	3	C5	-1	-1	C25	-5	0			
C6	24	3	C6	-3	-1	C26	-3	0			
C7	31	2	C7	-4	-1	C27	-2	0			
C8	18	2	C8	-6	-1	C28	-1	0			
C9	15	1	C9	-6	-1	C29	0	0			

【図11】

図11



フロントページの続き

(72)発明者 小林 洋一郎
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター

(72)発明者 近藤 泰二
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内
Fターム(参考) 5K004 AA05 FA25 FC02 FH01 FH06
5K061 AA01 AA13 BH12 JJ24